

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-203001

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

G06F 17/50
H01L 21/82

(21)Application number : 2000-400789

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.2000

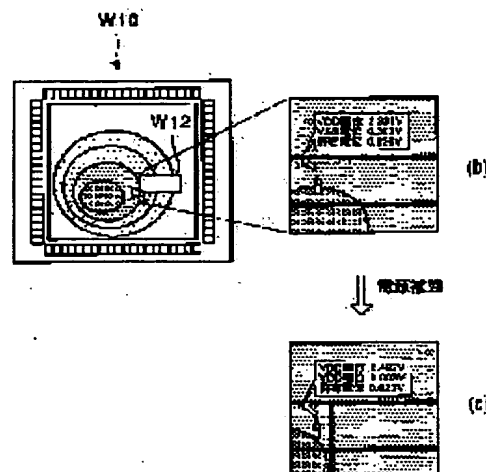
(72)Inventor : OGAWA NOBUHIKO
UEDA TOSHIKI
HAYAKAWA JIRO

(54) EQUIPMENT FOR DESIGNING LAYOUT OF POWER LINE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide equipment for designing the layout of power lines effectively for a semiconductor integrated device.

SOLUTION: An analytical result display screen W10 graphically displays an analytical result for a power line voltage, the layout of the power line, and a numerical value of the analytical result of the power line voltage. A user operates a mouse 16 to display a position where the numerical value can be displayed by moving a mouse cursor that indicates positions of the layout of power lines.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-203001

(P2002-203001A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 6 F 17/50	6 7 2	G 0 6 F 17/50	6 7 2 R 5 B 0 4 6
	6 5 8		6 7 2 W 5 F 0 6 4
	6 6 6		6 5 8 K
H 0 1 L 21/82		H 0 1 L 21/82	6 6 6 Z
			C

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2000-400789 (P2000-400789)

(22) 出願日 平成12年12月28日 (2000. 12. 28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 小 川 宜 彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 上 田 俊 晃

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

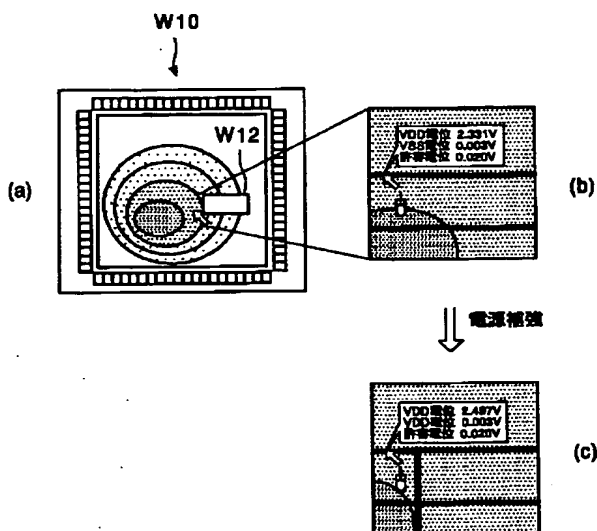
最終頁に続く

(54) 【発明の名称】 電源配線設計装置

(57) 【要約】

【課題】 半導体集積回路装置の電源配線の設計を効率的に行えるようにする。

【解決手段】 解析結果表示画面W10において、電源配線の電位の解析結果をそのレイアウトとともにグラフィック的に表示し、且つ、電源配線の電位の解析結果を数值的に表示する。数值的な表示をする電源配線の箇所は、ユーザがマウス16を操作して、マウスカーソルの指し示している位置にある電源配線とする。



1

【特許請求の範囲】

【請求項 1】半導体集積回路装置の設計上のレイアウトを格納する、レイアウト格納手段と、
前記レイアウト格納手段から前記レイアウトを読み出して、そのレイアウトにおける電源配線の電圧降下を解析する、解析手段と、
前記解析手段による解析の結果を格納する、解析結果格納部と、
前記解析結果格納部から解析の結果を読み出し、前記レイアウトとともにグラフィック的に表示する、視覚的表示手段と、
前記表示手段におけるグラフィック的な表示と、ユーザが操作するポインティングカーソルの指し示す位置とを連動させ、前記ポインティングカーソルの指し示す位置にある電源配線に関する解析の結果を数値的に表示する、数値表示手段と、
を備えることを特徴とする電源配線設計装置。

【請求項 2】前記数値表示手段は、前記ポインティングカーソルの指し示す位置にある電源配線に関する解析の結果のうち、電源配線の電位を少なくとも表示する、ことを特徴とする請求項 1 に記載の電源配線設計装置。

【請求項 3】前記数値表示手段は、前記ポインティングカーソルの指し示す位置にある電源配線に関する解析の結果のうち、電源配線の電流密度を少なくとも表示する、ことを特徴とする請求項 1 に記載の電源配線設計装置。

【請求項 4】前記半導体集積回路装置の設計上のレイアウトには、この半導体集積回路装置の中心側に電圧降下が可及的に少ない状態で電源を供給するための電源補強リングが、少なくとも 1 つ設けられている、ことを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の電源配線設計装置。

【請求項 5】前記電源補強リングは、前記半導体集積回路装置の中心側に 1 つだけ設けられており、前記電源補強リングの外側に、回路規模の大きいメガセルが配置されている、ことを特徴とする請求項 4 に記載の電源配線設計装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源配線設計装置に関し、特に、効率的に半導体集積回路装置の電源配線の設計をすることができる電源配線設計装置に関する。

【0002】

【従来の技術】近年、半導体製造技術の進歩による半導体集積回路装置の微細化や高速化が進んできている。このため、半導体集積回路装置の電源系に関して、半導体集積回路装置の内部における電源電圧の降下、エレクトロマイグレーションという問題が、顕在化しつつある。この問題に対応するために、電源配線の幅を変更したり、電源の供給路を補強するための補強配線を追加した

2

りして、電源配線の再設計が必要となることが多くなってきた。

【0003】

【発明が解決しようとする課題】このような電源配線の再設計を支援するために、半導体集積回路装置に形成される電源配線網やセルの消費電流等に基づいて、半導体集積回路装置内部における電源電圧の降下をコンピュータで解析する手法も、用いられるようになってきている。しかし、その解析結果の表示に関して、電源配線を再度設計することを意識した形態で、その情報を提供されることは行われていない。したがって現状では、電源電圧の降下に関する解析をコンピュータで行い、問題となる電源配線に関して的確な情報を表示し、且つ、インタラクティブに修正及び解析を行う電源配線設計装置は、存在しない。

【0004】そこで本発明は、前記課題に鑑みてなされたものであり、電源電圧の降下に関する解析を行い、問題となる電源配線に関して的確な情報を表示し、且つ、インタラクティブに修正及び解析を行う電源配線設計装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上記課題を解決するため、本発明に係る電源配線設計装置は、半導体集積回路装置の設計上のレイアウトを格納する、レイアウト格納手段と、前記レイアウト格納手段から前記レイアウトを読み出して、そのレイアウトにおける電源配線の電圧降下を解析する、解析手段と、前記解析手段による解析の結果を格納する、解析結果格納部と、前記解析結果格納部から解析の結果を読み出し、前記レイアウトとともにグラフィック的に表示する、視覚的表示手段と、前記表示手段におけるグラフィック的な表示と、ユーザが操作するポインティングカーソルの指し示す位置とを連動させ、前記ポインティングカーソルの指し示す位置にある電源配線に関する解析の結果を数値的に表示する、数値表示手段と、を備えることを特徴とする。

【0006】

【発明の実施の形態】〔第 1 実施形態〕本発明の第 1 実施形態は、電源配線設計装置で電源電圧降下の解析を行い、半導体集積回路装置全面の電圧降下の度合いをグラフィック的に表示する。さらに、マウスカーソルと表示を連動させ、グラフィック的な表示のマウスカーソルの指すポイントにおける VDD の解析結果の電位、VSS の解析結果の電位、及び、許容電位を数値的に表示するものである。より詳しくを、以下に説明する。

【0007】図 1 は、本実施形態に係る電源配線設計装置のハードウェア構成を示すブロック図である。この図 1 に示すように、本実施形態に係る電源配線設計装置は、演算処理装置 10 と、表示装置 12 と、キーボード 14 と、マウス 16 とを備えている。演算処理装置 10 は、CPU を備えており、この電源配線設計装置のサー

3

バを構成している。これに対して、表示装置 12 とキーボード 14 とマウス 16 は、この電源配線設計装置のクライアントを構成している。これらクライアントとサーバとの間は、ネットワークを介して、接続されている。マウス 16 は、ユーザが操作するポインティングデバイスの一例であり、例えばタッチペン等であってもよい。

【0008】また、電源配線設計装置は、レイアウトデータベース 20 と、解析結果データベース 22 とを備えている。さらに、電源配線設計装置は、電源配線設計部 30 と、解析部 32 と、コマンド入力部 34 とを、備えている。これらレイアウトデータベース 20 と解析結果データベース 22 と電源配線設計部 30 と解析部 32 とコマンド入力部 34 との間は、ネットワークやバスを介して、互いに接続されている。

【0009】レイアウトデータベース 20 には、この電源配線設計部 30 で設計開発した半導体集積回路装置の回路レイアウトに関するデータが、格納される。解析結果データベース 22 には、レイアウトデータベース 20 に格納されている設計上のレイアウトに対する電圧降下の解析を、解析部 32 で行った結果が格納される。

【0010】図 2 (a) は、本実施形態に係る表示装置 12 に表示される解析結果表示画面 W10 を示す図である。この図 2 (a) に示すように、解析結果表示画面 W10 には、半導体集積回路装置の全体平面レイアウトがグラフィック的に表示されるとともに、その解析により得られた VDD 電位もグラフィック的に表示される。本実施形態においては、ある所定の範囲毎に VDD 電位を区分し、各区分毎に異なる濃度で、解析結果表示画面 W10 に表示することとしている。図 2 (a) においては、濃い濃度で表示されている箇所ほど、その VDD 電位が高いことを示している。なお、VDD 電位をグラフィック的に表示する手法は、これに限るものではなく、例えば、VDD 電位の各区分毎に異なる色で表示するようにしてもよい (VSS 電位に関しても同様)。

【0011】図 2 (b) は、解析結果表示画面 W10 のマウスカーソル近傍を拡大して示す図である。この図 2 (b) に示すように、解析結果表示画面 W10 においては、ユーザがマウスを操作してマウスカーソルで指し示した位置にある電源配線について、VDD 電位と、VSS 電位と、許容電位とが、数値的に表示される。このマウスカーソルは、ポインティングデバイスカーソルの一例である。

【0012】VDD 電位は、その配線における高電圧側の電位であり、VSS 電位は、その配線における低電圧側の電位である。許容電位は、VDD 電位の電圧降下が許容される幅を示している。この図 2 (b) の例では、高電圧側の供給電位が 2.5V であり、低電圧側の供給電位が、0V である。そして、マウスカーソルの指し示した位置にある配線では、VDD 電位が 2.331V に降下しており、VSS 電位は、0.003V に浮いてい

4

る。ここでの許容電位の幅は、0.020V であるので、VDD 電位は、2.480V 迄しか許容できない。したがって、図 2 (b) の例では、電源配線を再変更し、電源補強をする必要がある。

【0013】具体的には、ユーザは、図 1 の電源配線設計部 30 において、電源配線の設計をやり直し、VDD 電位の電圧降下が大きかった箇所に、何らかの補強配線を敷設することにより、電圧降下がより小さくなるようにする。そして、再度、解析部 32 において、変更した電源配線に基づいて電圧降下の解析を行う。

【0014】図 2 (c) は、電源配線のレイアウトを再変更し、電源補強をした場合における、図 2 (b) に相当する図である。この図 2 (c) に示すように、電源配線を変更することにより、マウスカーソルの指し示した位置にある配線の VDD 電位は、2.497V になり、その電圧降下が許容電位の範囲内になったことを、ユーザは容易に知ることができる。

【0015】以上のように、本実施形態に係る電源配線設計装置によれば、ユーザは電源配線設計部 30 において設計した半導体集積回路装置について、電圧降下の解析結果を、解析結果表示画面 W10 のグラフィック的な表示により、把握することができる。このため、1つの半導体集積回路装置内の VDD 電位の分布を、極めて容易に知ることができる。しかも、その解析結果の値は、マウスカーソルを移動することにより、すぐさま知ることができる。

【0016】しかも、解析結果に基づいて、電圧降下が許容範囲を超える場合には、その部分を補う補強配線を施して、再度、解析部 32 で解析を行うことができるので、ユーザは、再設計及びその解析に要する時間を、大幅に短縮することができる。

【0017】〔第 2 実施形態〕本発明の第 2 実施形態は、電源配線設計装置で電圧降下の解析を行い、半導体集積回路装置内の各電源配線における電流密度の度合いをグラフィック的に表示する。さらに、マウスカーソルと表示を連動させ、グラフィック的な表示上のマウスカーソルの指すポイントにおける電流密度、超過電流密度、及び、必要配線幅を表示するものである。より詳しくを以下に説明する。

【0018】但し、本実施形態に係る電源配線設計装置のハードウェア構成は、上述した図 1 と同様である。したがって、その詳細説明は省略する。

【0019】図 3 は、本実施形態の表示装置 12 に表示させる解析結果表示画面 W20 を示す図である。

【0020】この図 3 に示すように、解析結果表示画面 W20 には、半導体集積回路装置の平面レイアウトがグラフィック的に表示されるとともに、その解析により得られた電流密度も、グラフィック的に表示される。本実施形態においては、ある所定の範囲毎に電流密度を区分し、各区分毎に異なる濃度で表示することとしている。

5

図3においては、濃い濃度で表示されている箇所ほど、その電流密度が高いことを示している。なお、電流密度をグラフィック的に表示する手法は、これに限るものではなく、例えば、電流密度の各区分毎に異なる色で表示するようにしてもよい。

【0021】図4は、解析結果表示画面W20において、ユーザがマウス16を操作して、マウスカーソルで電源配線を指し示した場合の画面を示す図である。この図4に示すように、解析結果表示画面W20においては、ユーザがマウス16を操作してマウスカーソルで電源配線に指し示した場合、そのマウスカーソルの位置の電源配線における電流密度と、超過電流密度と、必要配線幅とを表示する数値表示ウィンドウW22が表示される。

【0022】電流密度は、その電源配線における電流の密度値(A/m^2)であり、超過電流密度は、エレクトロマイグレーションの観点から許容される電流密度値に対する、その電源配線における超過している分の電流の密度である。エレクトロマイグレーションの解決のためには、電源配線の幅を太くする、補強配線を施すなどして電流密度値を許容内に落とすことが必要である。必要配線幅は、超過している電流密度から許容される電流密度まで下げるために必要な電源配線の幅である。この図4の例では、電流密度が200であり、さらに電流密度が100超過し、エレクトロマイグレーションの問題が予想されること、その問題を回避するための一つの指針として電源配線幅を200にするとよいことを示している。したがって、図4の例では、電源配線を再変更する必要がある。

【0023】具体的には、ユーザは、図1の電源配線設計部30において、電源配線の設計をやりなおし、電流密度の超過している部分の配線幅を必要配線幅の値にしたがって太くする、もしくは、補強電源配線を行い電流密度を下げるようにする。そして、再度、解析部32において、変更した電源配線に基づいて電圧降下の解析を行う。

【0024】図5は、電源配線のレイアウトを再変更し、問題箇所の配線幅を太くした場合における、図4に相当する図である。この図5に示すように、配線幅を太くすることにより、マウスカーソルの指し示した位置にある電源配線の電流密度は100に、超過電流密度は0になり、エレクトロマイグレーションの問題が生じない適正な電流密度が得られたことを、ユーザは容易に知ることができる。

【0025】以上のように、本実施形態に係る電源配線設計装置によれば、ユーザは電源配線設計部30において設計した半導体集積回路装置について、電圧降下の解析結果を、解析結果表示画面W20のグラフィック的な表示から視覚的に把握することができる。このため、1つの半導体集積回路装置内の電流密度の分布を、極めて

6

容易に知ることができる。しかも、その解析結果の値は、マウスカーソルを移動することにより、すぐさま知ることができる。

【0026】しかも、解析結果に基づいて、電流密度が許容値を上回る場合には、その部分に配線幅変更若しくは補強配線を施して、再度、解析部32で解析を行うことができるので、再設計及びその解析に要する時間を、大幅に短縮することができる。

【0027】〔第3実施形態〕本発明の第3実施形態は、半導体集積回路装置の内部に電源補強リングを予め敷設しておき、必要に応じてこの電源補強リングを利用して、ユーザは補強配線の敷設ができるようにしたものである。より詳しくを、以下に説明する。

【0028】図6は、本実施形態に係る半導体集積回路装置における電源補強リングを説明するための平面レイアウト図である。この図6に示すように、半導体集積回路装置の外周縁部には、入出力用のI/Oポート40が形成されている。このI/Oポート40を介して、半導体集積回路装置と外部との間で信号の入出力がなされるとともに、外部から半導体集積回路装置に電源が供給される。

【0029】I/Oポート40から供給された電源は、電源配線42を介して、電源補強リング44に供給される。本実施形態においては、電源補強リング44は矩形状をなしており、半導体集積回路装置の中心部側に、半導体集積回路装置と同心的に1つだけ設けられている。また、本実施形態においては、電源配線42は、電源補強リング44のそれぞれのコーナー部と、I/Oポート40との間を接続しており、各コーナー部からは2本ずつ電源補強リング44がI/Oポート40に向かって延びている。

【0030】また、この図6の例では、I/Oポート40と電源補強リング44との間のスペースに、大規模な集積回路であるメガセル46が配置されており、電源補強リング44の内側のスペースに、これよりも小さい規模のセル48が配置されている。これは、メガセル46は比較的大きな電源容量を必要とするため、設計上、I/Oポート40周辺に配置する方が、好ましいからである。

【0031】このように電源補強リング44を設けることにより、半導体集積回路装置の内部側の電圧降下を、生じにくくすることができる。すなわち、半導体集積回路装置の中心部側は、I/Oポート40から離れているので、その縁部側よりも電圧降下が起きやすい。そこで、半導体集積回路装置の内側に電源補強リング44を敷設することにより、I/Oポート40から供給された電源を、電圧降下の極めて少ない状態で、中心部側まで供給することができるようになる。

【0032】また、上述したように、半導体集積回路装置の外周側にメガセル46が配置されるので、これらの

メガセル46の内側では、電圧降下が大きくなる傾向がある。これは、メガセル46の消費電力は比較的大きいためであるが、本実施形態のように、メガセル46の内側に、電源補強リング44を敷設することにより、その中心部側に配置されたセル48に対しても、電圧降下があまり生じていない状態で、電源補強リング44から電源を供給することができるようになる。

【0033】図7は、本実施形態の変形例を示す図である。この図7の例では、半導体集積回路装置の内部に、複数の電源補強リング54が配置されている。すなわち、I/Oポート50の内側に、複数の電源補強リング54を配置し、各電源補強リング54とI/Oポート50との間を、電源配線52で接続している。

【0034】このように、複数の電源補強リング54を配置することにより、半導体集積回路装置内部の電位や電流密度を、より均一にすることができ、局所的に、大きな電圧降下が生じるのを抑止することができる。

【0035】〔第4実施形態〕本発明の第4実施形態では、上述した第1乃至第3実施形態における作業処理フローを説明する。

【0036】図8は、本実施形態に係るユーザ及び電源配線設計装置の処理を説明するフローチャートである。この図8に示すように、ユーザは電源配線設計装置を用いて、フロアプランを行う（ステップS10）。すなわち、ユーザは、電源配線設計装置を操作して、半導体集積回路装置のセル等の配置を行う。

【0037】次に、ユーザは、電源補強リング44（図6参照）又は電源補強リング54（図7参照）の敷設を行う（ステップS11）。続いて、ユーザは、必要な配線処理を行う（ステップS12）。すなわち、配置したセルに対して、電源を供給する電源配線の敷設を行う。このれにより、半導体集積回路装置のレイアウトの案ができ上がり、そのデータは、レイアウトデータベース20に格納される。

【0038】次に、ユーザは電圧降下の解析を行う（ステップS13）。具体的には、ユーザは、キーボード14やマウス16を操作して、演算処理装置10に対して、電圧降下の解析を行うように、指令する。この指令に基づいて、演算処理装置10では、レイアウトデータベース20からレイアウトに関するデータを読み出し、解析部32を用いて解析を行う。この解析の具体的手法は、特開平8-249372号公報（特願平7-55867：集積回路の電力評価方法）に、開示されているので、ここではその詳しい説明は割愛する。この解析結果は、解析結果データベース22に格納される。

【0039】次に、演算処理装置10は、ユーザの指定した解析結果の出力モードを取得する（ステップS14）。本実施形態では、電圧降下の解析結果を、第1実施形態のように電源配線の電位で表示するのか、第2実施形態のように電源配線の電流密度で表示するのかを、

取得する。

【0040】次に、演算処理装置10は、解析結果データベース22にアクセスし、取得した出力モードの表示を行うのに必要な情報を取得し、表示装置12に表示する（ステップS15）。ユーザは、この表示に基づいて、電源配線に電圧降下に関する問題が生じているかどうかを判断する（ステップS16）。ユーザが電圧降下に関する問題が生じていないと判断した場合（ステップS16：No）には、この作業処理は終了する。

【0041】一方、ユーザが電圧降下に関する問題が生じていると判断した場合（ステップS16：Yes）には、キーボード14やマウス16を操作して、電源配線設計部30を用いて、補強配線を敷設する処理を行う（ステップS17）。続いて、補強配線を施したレイアウトを、再度、レイアウトデータベース20に登録する（ステップS18）。そして、上述したステップS13からの処理を繰り返す。

【0042】半導体集積回路装置の設計作業において、このような作業処理を行うことにより、電源配線設計装置を利用して、効率的に開発を行うことができる。すなわち、半導体集積回路装置における電圧降下の解析全体のTAT（ターンアラウンドタイム）を大幅に短縮することができる。

【0043】なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、上述した実施形態においては、電源補強リング44、54は、リング状の形状をなしているが、必ずしもリング状でなくともよく、例えば、直線状の補強配線であってもよい。

【0044】また、上述の実施形態で説明した電源配線設計装置の処理については、この処理を実行するためのプログラムをフロッピー（登録商標）ディスク、CD-ROM（Compact Disc-Read Only Memory）、ROM、メモ리카ード等の記録媒体に記録して、記録媒体の形で頒布することが可能である。この場合、このプログラムが記録された記録媒体を汎用のコンピュータに読み込ませ、実行させることにより、上述した実施形態を実現することができる。

【0045】また、汎用のコンピュータは、オペレーティングシステムや別のアプリケーションプログラム等の他のプログラムを備える場合がある。この場合、汎用のコンピュータの備える他のプログラムを活用し、記録媒体にはそのコンピュータが備えるプログラムの中から、上述した実施形態と同等の処理を実現するプログラムを呼び出すような命令を記録するようにしてもよい。

【0046】さらに、このようなプログラムは、記録媒体の形ではなく、ネットワークを通じて搬送波として頒布することも可能である。ネットワーク上を搬送波の形で伝送されたプログラムは、汎用のコンピュータに取り込まれて、このプログラムを実行することにより上述した実施形態を実現することができる。

9

【0047】また、記録媒体にプログラムを記録する際や、ネットワーク上を搬送波として伝送される際に、プログラムの暗号化や圧縮化がなされている場合がある。この場合には、これら記録媒体や搬送波からプログラムを読み込んだ汎用のコンピュータは、そのプログラムの復号化や伸張化を行った上で、実行する必要がある。

【0048】

【発明の効果】以上説明したように、本発明によれば、解析結果格納部から解析の結果を読み出し、半導体集積回路装置のレイアウトとともにグラフィック的に表示し、かつ、このグラフィック的な表示と、ユーザが操作するポインティングカーソルの指し示す位置とを連動させ、このポインティングカーソルの指し示す位置にある電源配線に関する解析の結果を数值的に表示することとしたので、ユーザは電源配線の設計を効率的に行うことができるようになる。

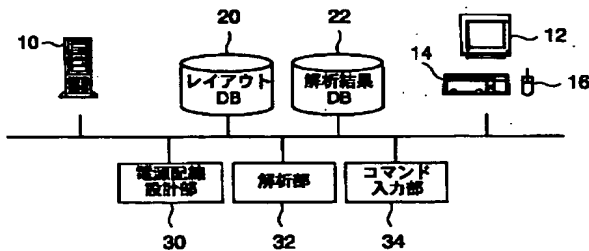
【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体集積回路装置のハードウェア構成を示すブロック図である。

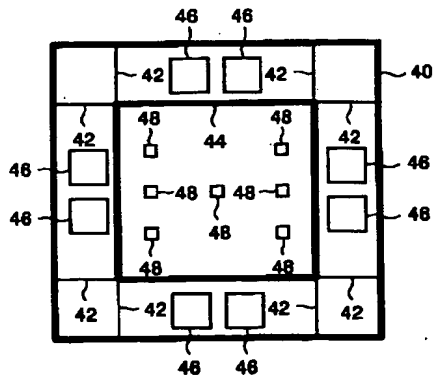
【図2】本発明の第1実施形態に係る解析結果表示画面を示す図である。

【図3】本発明の第2実施形態に係る解析結果表示画面を示す図である。

【図1】



【図6】



10

【図4】本発明の第2実施形態に係る解析結果表示画面で数値表示ウィンドウが表示された状態を示す図である。

【図5】本発明の第2実施形態において、配線幅を太くした後に、解析結果表示画面で数値表示ウィンドウが表示された状態を示す図である。

【図6】本発明の第3実施形態に係る電源補強リングを敷設した半導体集積回路装置を示す図である。

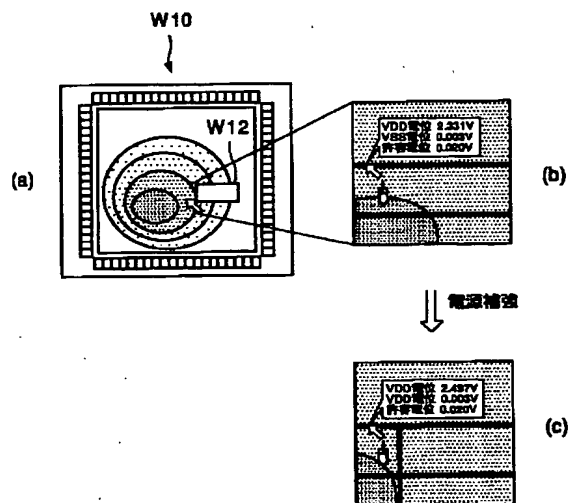
【図7】本発明の第3実施形態に係る電源補強リングを敷設した半導体集積回路装置の変形例を示す図である。

【図8】本発明の第4実施形態として、電源配線設計装置及びユーザの作業処理フローを示す図である。

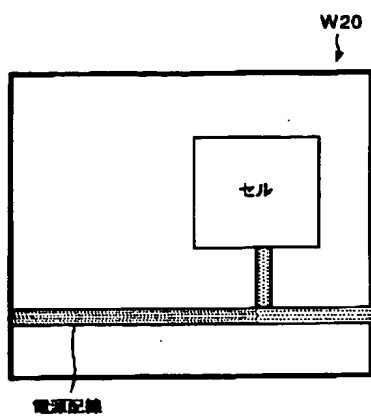
【符号の説明】

- 10 演算処理装置
- 12 表示装置
- 14 キーボード
- 16 マウス
- 20 レイアウトデータベース
- 22 解析結果データベース
- 30 電源配線設計部
- 32 解析部
- 34 コマンド入力部

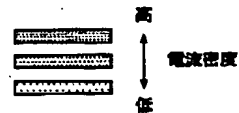
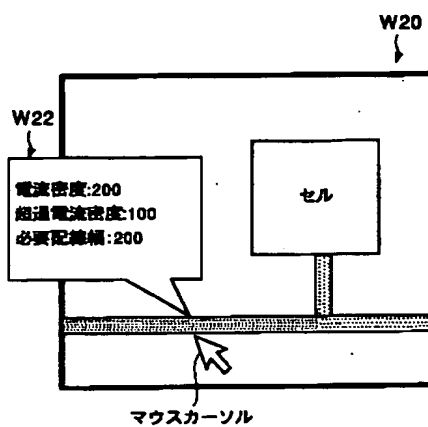
【図2】



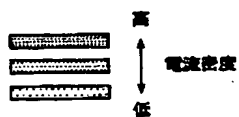
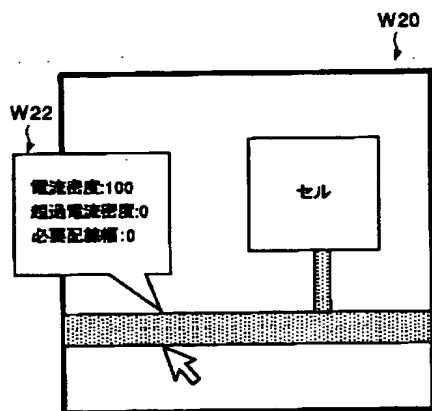
【図3】



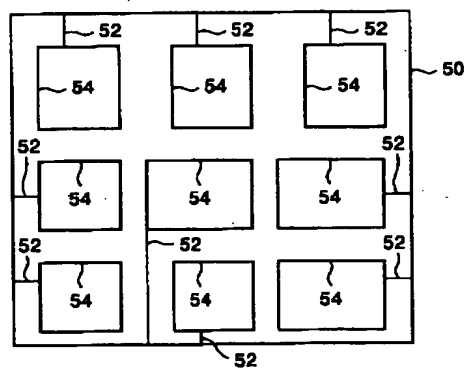
【図4】



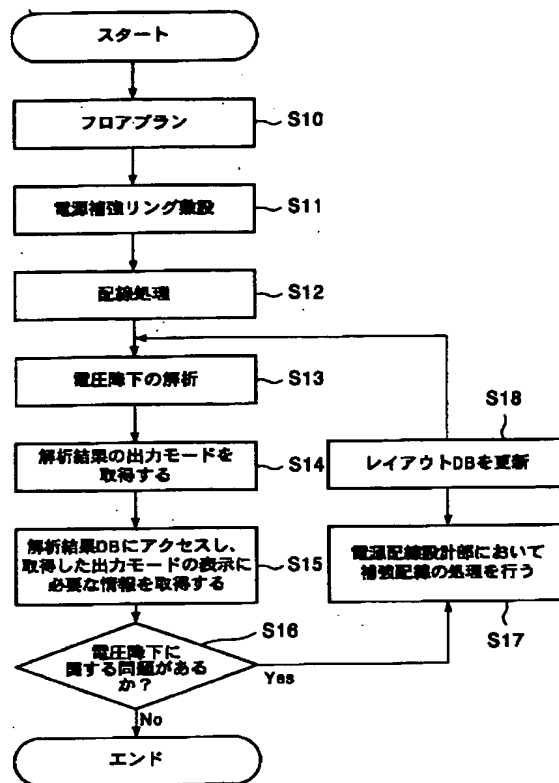
【図5】



【図7】



【図8】



フロントページの続き

(72)発明者 早 川 二 郎
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

Fターム(参考) 5B046 AA08 BA04 GA01 HA03 HA09
JA04
5F064 EE41 EE52 HH06 HH15